

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月 2 7 日  
Date of Application:

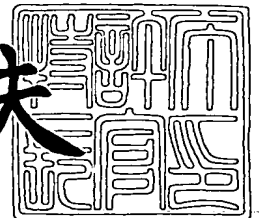
出 願 番 号                      特 願 2 0 0 3 - 3 9 7 7 2 4  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 9 7 7 2 4 ]

出      願      人                      沖電気工業株式会社  
Applicant(s):

2 0 0 4 年    3 月    3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 CA000847  
【提出日】 平成15年11月27日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/04  
H01L 21/822

【発明者】  
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
【氏名】 佐々木 征一郎

【発明者】  
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
【氏名】 森田 孝司

【特許出願人】  
【識別番号】 000000295  
【氏名又は名称】 沖電気工業株式会社

【代理人】  
【識別番号】 100079991  
【弁理士】  
【氏名又は名称】 香取 孝雄  
【電話番号】 03-3508-0955

【手数料の表示】  
【予納台帳番号】 006895  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9001067

**【書類名】 特許請求の範囲****【請求項 1】**

配線用メタルである第 1 のメタル層と、  
第 1 のメタル層より下に位置する第 2 のメタル層と、  
第 1 のメタル層と第 2 のメタル層との間に位置する、キャパシタメタルである第 3 のメタル層とを含み、

これらの各メタル層の間の隙間部分に絶縁体を埋め込んだMIM構造の多層化電源ラインにおいて、

第 2 のメタル層は、第 1 のメタル層と電氣的に接続されて、第 1 のメタル層と同電位の電源が供給され、

かつ第 3 のメタル層は、第 1 のメタル層と電氣的に接続されて、第 1 のメタル層と同電位の電源が供給されることを特徴とする多層化電源ライン。

**【請求項 2】**

請求項 1 に記載の多層化電源ラインにおいて、第 2 のメタル層と第 3 のメタル層とが同電位となることを特徴とする多層化電源ライン。

**【請求項 3】**

請求項 2 に記載の多層化電源ラインにおいて、第 1 のメタル層は、外部電源の電源電位が供給され、該外部電源の電源電位が第 2 のメタル層および第 3 のメタル層にも供給されることを特徴とする多層化電源ライン。

**【請求項 4】**

請求項 2 に記載の多層化電源ラインにおいて、第 1 のメタル層は、接地電位が供給され、該接地電位が第 2 のメタル層および第 3 のメタル層にも供給されることを特徴とする多層化電源ライン。

**【請求項 5】**

請求項 1 に記載の多層化電源ラインにおいて、該多層化電源ラインは、

第 1 のメタル層において、外部電源の電源電位が供給されるメタル層と、接地電位が供給されるメタル層とが交互に配置されて、

第 1 のメタル層および第 2 のメタル層間、ならびに第 1 のメタル層および第 3 のメタル層間で電位の異なる位置に構成されたキャパシタを有することを特徴とする多層化電源ライン。

**【請求項 6】**

請求項 5 に記載の多層化電源ラインにおいて、該多層化電源ラインは、

接地電位が供給される第 2 のメタル層、および外部電源の電源電位が供給される第 3 のメタル層を有する第 1 の 3 層多層化電源ラインと、

外部電源の電源電位が供給される第 2 のメタル層、および接地電位が供給される第 3 のメタル層を有する第 2 の 3 層多層化電源ラインとを含むことを特徴とする多層化電源ライン。

**【請求項 7】**

請求項 5 または 6 に記載の多層化電源ラインにおいて、該多層化電源ラインは、

第 1 のメタル層において、外部電源の電源電位が供給されるメタル層と、接地電位が供給されるメタル層との間に生じた寄生容量で構成されたキャパシタを有することを特徴とする多層化電源ライン。

**【請求項 8】**

配線用メタルである第 1 のメタル層を、第 2 のメタル層より上に配置し、

キャパシタメタルである第 3 のメタル層を第 1 のメタル層と第 2 のメタル層との間に配置して、

これらの各メタル層の間の隙間部分に絶縁体を埋め込んでMIM構造にする多層化電源ラインのレイアウト方法において、該レイアウト方法は、

第 2 のメタル層を第 1 のメタル層と電氣的に接続して、第 1 のメタル層と第 2 のメタル層とを同電位にし、

かつ第3のメタル層を第1のメタル層と電氣的に接続して、第1のメタル層と第3のメタル層とを同電位にすることを特徴とする多層化電源ラインのレイアウト方法。

【請求項9】

請求項8に記載のレイアウト方法において、該レイアウト方法は、第2のメタル層と第3のメタル層とを同電位にして、第3のメタル層を配線用メタルとして使用することを特徴とするレイアウト方法。

【請求項10】

請求項9に記載のレイアウト方法において、該レイアウト方法は、第1のメタル層には、外部電源の電源電位を供給し、該外部電源の電源電位を、第2のメタル層および第3のメタル層にも供給することを特徴とするレイアウト方法。

【請求項11】

請求項9に記載のレイアウト方法において、該レイアウト方法は、第1のメタル層には、接地電位を供給し、該接地電位を、第2のメタル層および第3のメタル層にも供給することを特徴とするレイアウト方法。

【請求項12】

請求項8に記載のレイアウト方法において、該レイアウト方法は、  
第1のメタル層として、外部電源の電源電位が供給されるメタル層と、接地電位が供給されるメタル層とを交互に配置し、  
第1のメタル層および第2のメタル層間、ならびに第1のメタル層および第3のメタル層間で電位の異なる位置にキャパシタを構成することを特徴とするレイアウト方法。

【請求項13】

請求項12に記載のレイアウト方法において、該レイアウト方法は、  
接地電位が供給される第2のメタル層、および外部電源の電源電位が供給される第3のメタル層とで第1の3層多層化電源ラインを構成し、  
外部電源の電源電位が供給される第2のメタル層、および接地電位が供給される第3のメタル層とで第2の3層多層化電源ラインを構成することを特徴とするレイアウト方法。

【請求項14】

請求項12または13に記載のレイアウト方法において、該レイアウト方法は、  
第1のメタル層は、外部電源の電源電位が供給されるメタル層と、接地電位が供給されるメタル層との間に生じた寄生容量を用いてキャパシタを構成することを特徴とするレイアウト方法。

【請求項15】

キャパシタメタルを含む多層化電源ラインのレイアウト方法において、該レイアウト方法は、前記キャパシタメタルを配線用メタルとして置き換えて使用して、擬似的に配線用メタルを1層増やすことを特徴とするレイアウト方法。

**【書類名】明細書****【発明の名称】半導体集積回路の多層化電源ラインおよびそのレイアウト方法****【技術分野】****【0001】**

本発明は、半導体集積回路において、I/O（入出力）バッファや内部回路に電源を供給するMIM（Metal-Insulator-Metal）構造の多層化電源ラインおよびそのレイアウト方法に関するものである。

**【背景技術】****【0002】**

従来から、半導体集積回路において、I/Oバッファや内部回路に電源を供給する一般的な多層化電源ラインには、図9に示すような電源ラインに配線用メタル1層を設けてレイアウトされるものや、多層化した配線用メタルを用いて電源ラインのインピーダンスを低くしてレイアウトされるものがある。また、図9における電源ラインの点線98による断面図を図10に示す。

**【0003】**

このような多層化配線用メタルには、たとえば、特許文献1に記載の電源線などがある。この電源線は、チップコーナー部のI/Oバッファの無い領域において第1のメタル層を追加し、第1のメタル層と、VDD電源線およびGND電源線との間に平行平板コンデンサを形成して容量を増加することにより、I/Oバッファのスイッチングに起因するノイズを低減することができる。

**【0004】**

また、特許文献2に記載の半導体装置では、外部電源から電源電位が与えられる第1電源用配線層、および接地電位が与えられる第2電源用配線層を多層で形成するため、第1および第2電源用配線層の配線抵抗を低減することができる。このため、インピーダンスが低い電源電位と接地電位を内部回路内の各回路ブロックに供給することができる。

**【0005】****【特許文献1】特開平9-246476号公報****【特許文献2】特開2000-311964号公報****【発明の開示】****【発明が解決しようとする課題】****【0006】**

半導体集積回路における多層化電源ラインには、インピーダンスを低くするために、配線幅を広げたり、上記の特許文献1や特許文献2などのように配線を多層化したりする方法が用いられていた。

**【0007】**

しかし、配線幅を広げるとチップ面積が増大してしまい、また、配線を多層化するとその他の信号線の配線が難しくなってしまう。また、半導体集積回路では、VDD電源ラインおよびGND電源ラインの容量が相対的に小さいために、スイッチングノイズ等が発生しやすい。

**【0008】**

本発明はこのような従来技術の欠点を解消し、電源ラインの幅を広げず、かつ多層化せずに、他の信号ラインの配線を難しくすることなく、低インピーダンスでI/Oバッファや内部回路に電源を供給する多層化電源ラインおよびそのレイアウト方法を提供することを目的とする。

**【課題を解決するための手段】****【0009】**

本発明は上述の課題を解決するために、配線用メタルである第1のメタル層と、第1のメタル層より下に位置する第2のメタル層と、第1のメタル層と第2のメタル層との間に位置する、キャパシタメタルである第3のメタル層とを含み、これらの各メタル層の間の隙間部分に絶縁体を埋め込んだMIM（Metal-Insulator-Metal）構造の多層化電源ラインは

、第2のメタル層は、第1のメタル層と電氣的に接続されて、第1のメタル層と同電位の電源が供給され、かつ第3のメタル層は、第1のメタル層と電氣的に接続されて、第1のメタル層と同電位の電源が供給されることを特徴とする。

#### 【0010】

また、配線用メタルである第1のメタル層を、第2のメタル層より上に配置し、キャパシタメタルである第3のメタル層を第1のメタル層と第2のメタル層との間に配置して、これらの各メタル層の間の隙間部分に絶縁体を埋め込んでMIM (Metal-Insulator-Metal) 構造にする多層化電源ラインのレイアウト方法は、第2のメタル層を第1のメタル層と電氣的に接続して、第1のメタル層と第2のメタル層とを同電位にし、かつ第3のメタル層を第1のメタル層と電氣的に接続して、第1のメタル層と第3のメタル層とを同電位にすることを特徴とする。

#### 【発明の効果】

#### 【0011】

本発明の多層化電源ラインによれば、MIM構造の配線用メタル3層多層化電源ラインにおいて、本来キャパシタメタルであるメタルを配線用メタルとして使用することにより、このメタルをトップメタルおよびセカンドメタルと同電位にして、電源ラインのインピーダンスを低くすることができる。このとき、本発明の多層化電源ラインは、その他の信号ラインの配線を妨げない。

#### 【0012】

また、本発明によれば、多層化電源ラインにおいて、並走するVDD電源ラインとGND電源ラインを交互に重ね、キャパシタメタルおよびセカンドメタルで構成される通常のキャパシタと、トップメタルおよびキャパシタメタルで構成される第2のキャパシタとを用いることにより、大きな容量のキャパシタを有してスイッチングノイズを低減することができ、キャパシタメタルを電源ラインとしても機能させることにより、従来と同じサイズのチップエリアのままで低インピーダンスな多層化電源ラインを得ることができる。

#### 【発明を実施するための最良の形態】

#### 【0013】

次に添付図面を参照して、本発明による半導体集積回路の多層化電源ラインの実施例を詳細に説明する。本実施例における多層化電源ライン10は、電源電位を供給するVDD電源ラインおよび接地電位を供給するGND電源ラインの両方に適用することができる。この多層化電源ライン10を適用したVDD電源ラインおよびGND電源ラインは、たとえば、図3に示すように、ブロックセル30の周囲を囲むように配線されてよく、また、図4、図5または図6のように配線されてもよい。この図3に示すVDD電源ラインの一部を拡大して図1に示し、また、図1におけるVDD電源ラインの点線50による断面図を図2に示す。

#### 【0014】

図1および図2を参照すると、本発明による半導体集積回路の多層化電源ライン10の実施例は、トップメタル12およびセカンドメタル14をスルーホール18で電氣的に接続し、さらに、このトップメタル12にキャパシタメタル16をスルーホール20で電氣的に接続して構成され、半導体集積回路におけるI/Oバッファや内部回路に電源を供給するものである。なお、本発明の理解に直接関係のない部分は、図示を省略し、冗長な説明を避ける。

#### 【0015】

本実施例において、トップメタル12、セカンドメタル14、キャパシタメタル16、スルーホール18およびスルーホール20には、アルミニウム、銅やコバルトなどの導電性の材料を用いられ、多層化電源ライン10において、これらの材料の隙間部分には、酸化シリコン (SiO<sub>2</sub>) などの絶縁体が埋められる。

#### 【0016】

本実施例における多層化電源ライン10は、メタル3層MIMキャパシタプロセスなどと同様に、トップメタル12、ボトムプレートであるセカンドメタル14、およびトッププレートであるキャパシタメタル16の3層で構成されるものである。しかし、本発明では、セカンドメタル14がスルーホール18を介してトップメタル12と電氣的に接続するため、セカンド

メタル14はトップメタル12と同電位になり、特にキャパシタメタル16が配線用メタルとして使用され、スルーホール20を介してトップメタル12と電氣的に接続するため、キャパシタメタル16はトップメタル12と同電位なる。

#### 【0017】

この多層化電源ライン10は、VDD電源ラインおよびGND電源ラインの両方に適用することが可能で、たとえば、トップメタル12がVDD電源レベルであるとき、セカンドメタル14およびキャパシタメタル16は、VDD電源レベルとなり、GND電源レベルであるとき、セカンドメタル14およびキャパシタメタル16は、GND電源レベルとなる。

#### 【0018】

このように、トップメタル12、セカンドメタル14およびキャパシタメタル16は、互いに同電位となり、本実施例における多層化電源ライン10は、キャパシタとして機能せず、通常の配線用メタルによる多層化電源ラインとして機能し、たとえば、配線用メタル3層多層化電源ラインなどのように、低インピーダンスな多層化電源ラインとして機能する。

#### 【0019】

たとえば、多層化電源ライン10におけるトップメタル12、セカンドメタル14およびキャパシタメタル16の配線幅がそれぞれ同じである場合、2層ではなく3層となるために電源インピーダンスは単純に2/3となる。これは、たとえば、低インピーダンス駆動回路（たとえば、ヘッドホンアンプの場合は16Ω負荷駆動）の場合、アンプの消費電流が20mAであるとするとき電源インピーダンスが1Ω違うだけで電源の電圧降下は通常20mVとなる。このとき、本実施例の多層化電源ラインでは、電圧降下は2/3の13mVとなり、より大きい効果が得られる。また、本実施例の多層化電源ラインをデジタル回路に用いると、インピーダンスはそのまま電源ライン幅を削減することができ、高集積化が期待できる。

#### 【0020】

また、本発明のような多層化電源ラインのレイアウト方法を適用すると、たとえば、キャパシタメタルを含むメタル3層MIMキャパシタプロセスなどにおいて、キャパシタメタルを配線用メタルとして置き換えて使用することにより、擬似的に配線用メタルを1層増やすことができる。このとき、本実施例における多層化電源ライン10は、チップエリアと電源ラインのインピーダンスを増大させることなく、また、図7に示すように、信号線70などの配線を妨げることなく、3層多層化電源ラインを維持することができる。また、図7における多層化電源ラインの点線80による断面図を図8に示す。本実施例では、キャパシタメタル16がトップメタル12とセカンドメタル14の間にあるので、多層化電源ライン10が信号線70に及ぼす効果はほとんどない。このような、キャパシタメタルの配線用メタルへの置き換えは、3層多層化電源ラインだけでなく、4層以上の多層化電源ラインにも適用することができる。

#### 【0021】

また、他の実施例として、図11に示すように、多層化電源ライン100は、複数のVDD電源ラインおよびGND電源ラインを並走させて構成され、VDD電源ラインおよびGND電源ラインを有する3層多層化電源ライン130および140を並走させるように構成される。3層多層化電源ライン130および140は、それぞれ、たとえばメタル3層MIMキャパシタプロセスのように構成されてよい。

#### 【0022】

本実施例の多層化電源ライン100では、図11に示すように、トップメタル102、104、106および108が3層多層化電源ライン130および140を横断するように設置され、トップメタル、キャパシタメタルおよびセカンドメタルが交互にVDD電源ラインとGND電源ラインで構成される。このとき、トップメタル102および104は、スルーホール120を介して3層多層化電源ライン140におけるセカンドメタル142および3層多層化電源ライン130におけるキャパシタメタル134と電氣的に接続し、トップメタル106および108は、スルーホール122を介して3層多層化電源ライン130におけるセカンドメタル132および3層多層化電源ライン140におけるキャパシタメタル144と電氣的に接続する。

#### 【0023】

本実施例において、トップメタル102および104は、図示しない外部電源などと接続して電源電位が与えられ、VDD電源ラインとして機能するものである。他方、トップメタル106および108は、図示しないが接地されて接地電位が与えられ、GND電源ラインとして機能するものである。

#### 【0024】

したがって、セカンドメタル144およびキャパシタメタル134は、VDD電源ラインであるトップメタル102および104と接続するため、電源電位が供給されてVDD電源ラインとして機能し、セカンドメタル132およびキャパシタメタル144は、GND電源ラインであるトップメタル106および108と接続するため、接地電位が供給されてGND電源ラインとして機能する。

#### 【0025】

ところで、図11における多層化電源ラインの点線150による断面図を図12に示すと、トップメタル108およびセカンドメタル132をスルーホール122で接続した3層多層化電源ライン130と、トップメタル102およびセカンドメタル142をスルーホール120で接続した3層多層化電源ライン140とが表わされる。

#### 【0026】

このとき、3層多層化電源ライン130では、GND電源ラインであるトップメタル108およびセカンドメタル132の間に、VDD電源ラインであるキャパシタメタル134が配線されている。このため、トップメタル108とキャパシタメタル134との間に電位差が生じて平行平板コンデンサ162として機能し、また、セカンドメタル132とキャパシタメタル134との間に電位差が生じて平行平板コンデンサ164として機能する。

#### 【0027】

他方、3層多層化電源ライン140では、VDD電源ラインであるトップメタル102およびセカンドメタル142の間に、GND電源ラインであるキャパシタメタル144が配線されている。このため、トップメタル102とキャパシタメタル144との間に電位差が生じて平行平板コンデンサ172として機能し、また、セカンドメタル142とキャパシタメタル144との間に電位差が生じて平行平板コンデンサ174として機能する。

#### 【0028】

これらの平行平板コンデンサ162、164、172および174は、キャパシタメタル134および144がそれぞれVDD電源ラインおよびGND電源ラインとして機能することを妨げない。

#### 【0029】

このように、本実施例における多層化電源ライン100は、並走するVDD電源ラインとGND電源ラインを交互に重ね、キャパシタメタルとセカンドメタルとで構成される通常のキャパシタに加えて、トップメタルとキャパシタメタルとで構成される第2のキャパシタを有することにより、通常のキャパシタのみを有する場合よりも大きな容量のキャパシタを有して、スイッチングノイズを低減することができ、さらに、キャパシタメタルを電源ラインとしても機能させることにより、従来と同じサイズのチップエリアのままで低インピーダンスな電源ラインを得ることができる。

#### 【0030】

また、本実施例において、トップメタルは、他のメタルに比べて厚みがあるために低インピーダンスであり、VDD電源ラインおよびGND電源ラインの両方に有利に使用される。

#### 【0031】

また、本実施例における多層化電源ラインをI/Oバッファのリングに適用することにより、チップエリアを増大することなく、かつプロセスを変更することなく、電源インピーダンス、ならびにVDD電源およびGND電源間容量の増大によるスイッチングノイズを低減することができる。

#### 【0032】

また、本実施例における多層化電源ライン100は、並走するVDD電源ラインおよびGND電源ラインを交互に重ねて構成されるが、図13に示す多層化電源ライン180のように、トップメタル180において、VDD電源ラインであるメタルとGND電源ラインであるメタルとを交

互に配置して、これらにセカンドメタル184およびキャパシタメタル186を電氣的に接続してもよい。このとき、隣り合うトップメタル180間で電位差が生じて寄生容量が増大し、トップメタル180とセカンドメタル184との間のキャパシタ、およびトップメタル180とキャパシタメタル186との間のキャパシタに加えて、この寄生容量をバイパスコンデンサとすることにより、スイッチングノイズをより低減することができる。

【図面の簡単な説明】

【 0 0 3 3 】

- 【図 1】 本発明に係る多層化電源ラインの一実施例を示す図である。
- 【図 2】 図 1 に示す多層化電源ラインを断面的に示す図である。
- 【図 3】 図 1 に示す多層化電源ラインをブロックセルに適用した概要図である。
- 【図 4】 図 1 に示す多層化電源ラインをブロックセルに適用した概要図である。
- 【図 5】 図 1 に示す多層化電源ラインをブロックセルに適用した概要図である。
- 【図 6】 図 1 に示す多層化電源ラインをブロックセルに適用した概要図である。
- 【図 7】 図 1 に示す多層化電源ラインに配線した信号線を示す図である。
- 【図 8】 図 7 に示す多層化電源ラインおよび信号線を断面的に示す図である。
- 【図 9】 従来の多層化電源ラインを示す図である。
- 【図 1 0】 図 9 に示す従来の多層化電源ラインを断面的に示す図である。
- 【図 1 1】 本発明に係る多層化電源ラインの他の実施例を示す図である。
- 【図 1 2】 図 1 1 に示す多層化電源ラインを断面的に示す図である。
- 【図 1 3】 本発明に係る多層化電源ラインの他の実施例を示す図である。

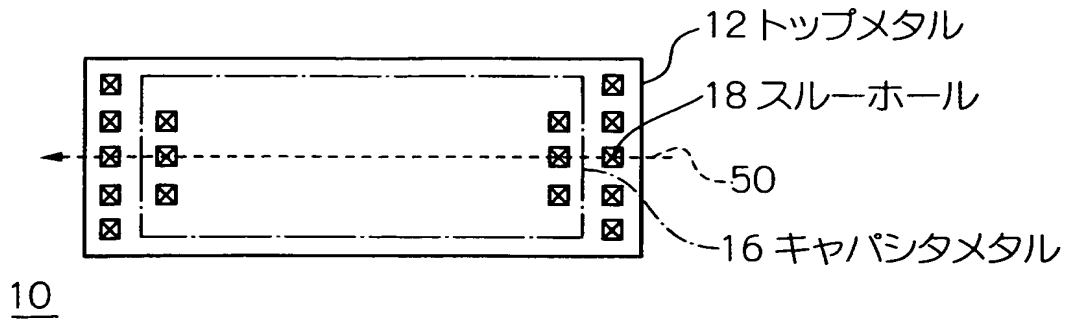
【符号の説明】

【 0 0 3 4 】

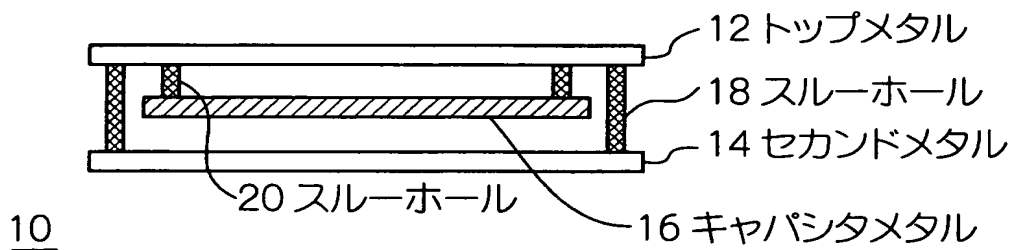
- 10 多層化電源ライン
- 12 トップメタル
- 14 セカンドメタル
- 16 キャパシタメタル
- 18、20 スルーホール

【書類名】図面

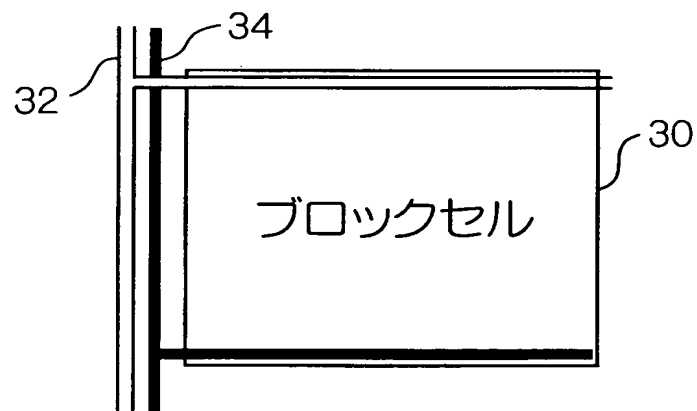
【図 1】

本実施例の多層化電源ラインの構成例

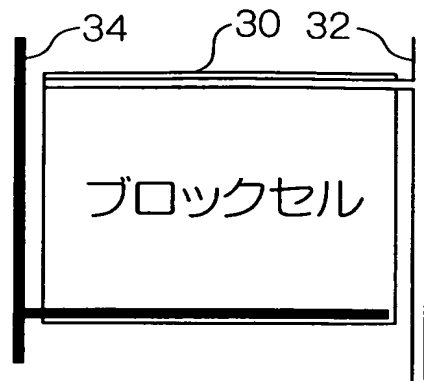
【図 2】

本実施例の多層化電源ラインの断面図

【図 3】

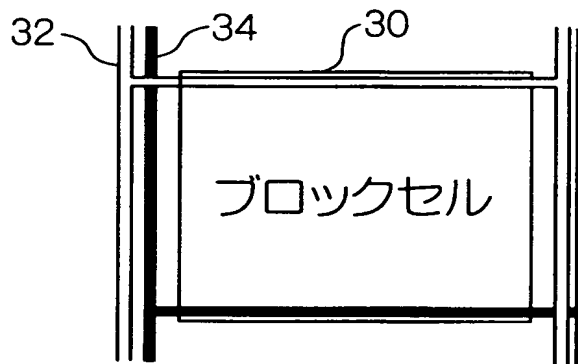
多層化電源ラインの適用例

【図 4】



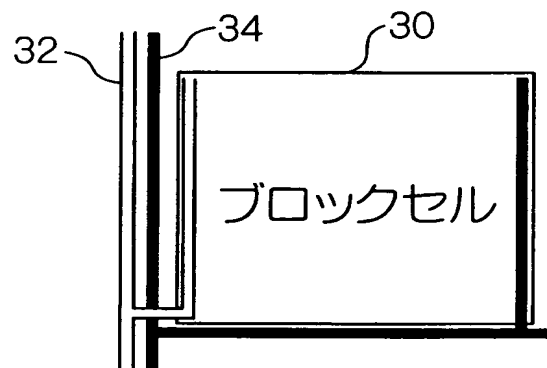
多層化電源ラインの適用例

【図 5】



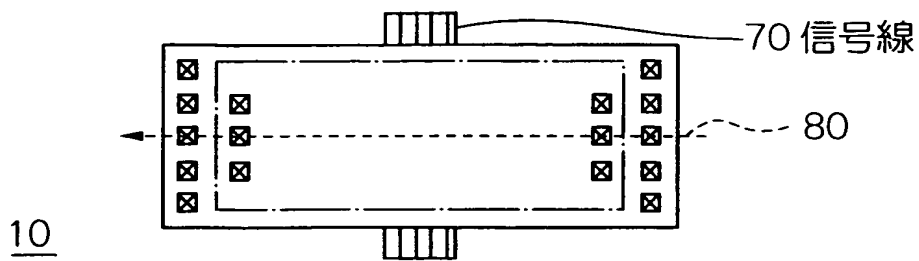
多層化電源ラインの適用例

【図 6】



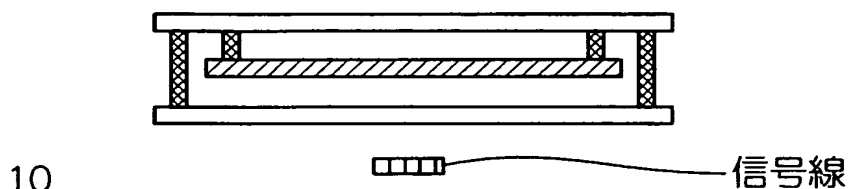
多層化電源ラインの適用例

【図 7】



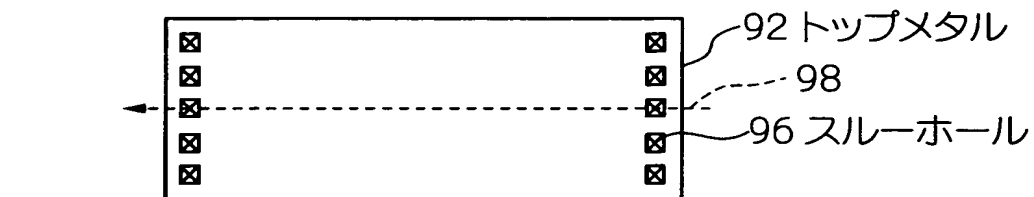
多層化電源ラインと信号線との構成例

【図 8】



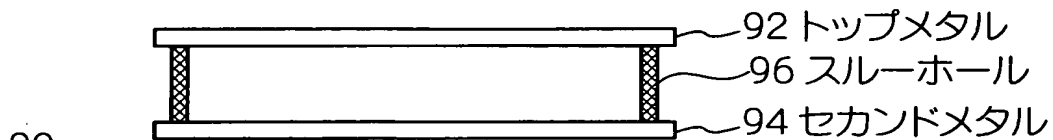
多層化電源ラインおよび信号線の断面図

【図 9】



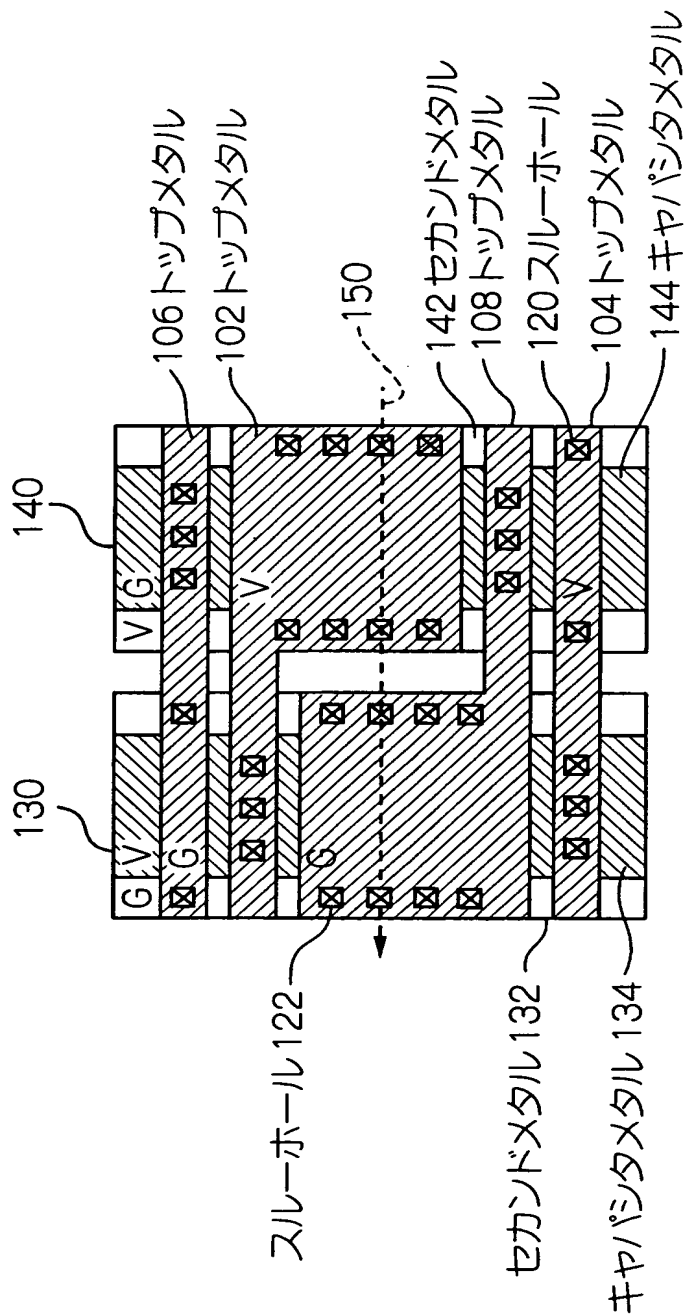
従来の多層化電源ラインの構成例

【図 10】



従来の多層化電源ラインの断面図

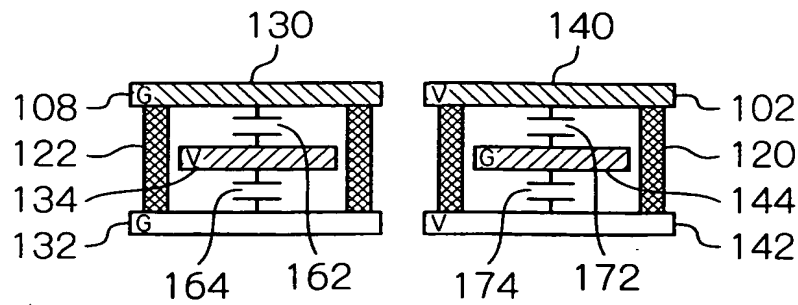
【図 11】



100

多層化電源ラインの他の構成例

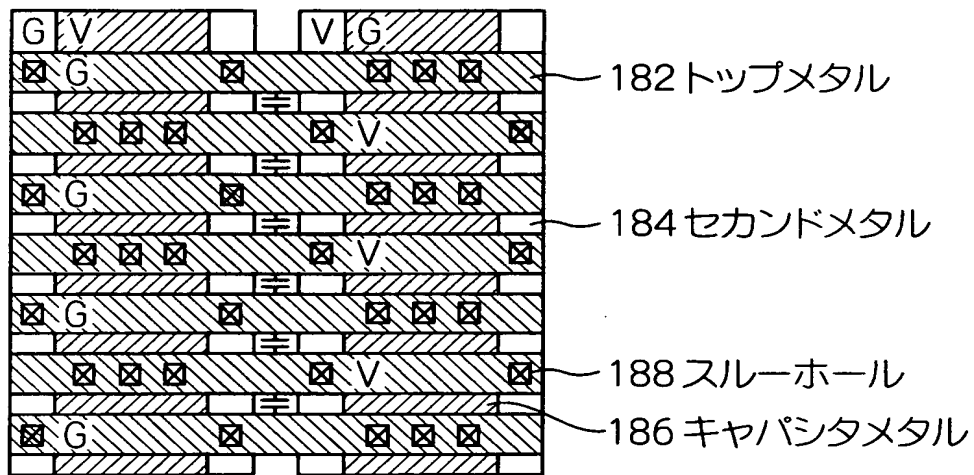
【図 12】



100

多層化電源ラインの他の構成例の断面図

【図 13】



180

多層化電源ラインの他の構成例

【書類名】 要約書

【要約】

【課題】 半導体集積回路の多層化電源ラインおよびそのレイアウト方法。

【解決手段】 半導体集積回路の多層化電源ライン10は、トップメタル12およびセカンドメタル14をスルーホール18で電氣的に接続し、さらに、このトップメタル12にキャパシタメタル16をスルーホール20で電氣的に接続して、トップメタル12、セカンドメタル14およびキャパシタメタル16を互いに同電位とすることにより、キャパシタとして機能せずに通常の配線用メタルによる電源ラインとして機能し、インピーダンスを低くして電源を供給することができる。

【選択図】 図 1

特願 2 0 0 3 - 3 9 7 7 2 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門 1 丁目 7 番 1 2 号
氏 名	沖電気工業株式会社